

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-183211
 (43)Date of publication of application : 09.08.1991

(51)Int. Cl. H03K 19/0948
 H03K 17/16
 H03K 17/687
 H03K 19/0185

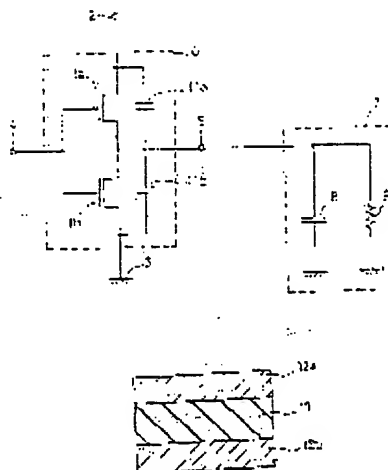
(21)Application number : 01-321892 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 12.12.1989 (72)Inventor : URAMOTO SHINICHI
 YOSHIMOTO MASAHIKO

(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To reduce a switching noise like ground bounce by providing capacities between the sources and the drains of a pull-up transistor (TR) and a pull-down TR so as to moderate the steep change of a current in a circuit.

CONSTITUTION: In the case the logical level of a data input terminal 4 is 'L', the pull-up TR 1a is turned ON. Therefore, the logical level of an output terminal 5 becomes 'H', and charges a load capacity 8. On the contrary, in the case the logical level of the data input terminal 4 is 'H', the pull-down TR 1b is turned ON. Therefore, the logical level of the output terminal 5 becomes 'L', and discharges the load capacity 8. Here, in the case the logical level of output varies, current change is caused, and the switching noise is likely to be caused, but a first capacity 11a and a second capacity 11b moderate this current change, and suppress the switching noise.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-183211

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月9日

H 03 K 19/0948
17/16
17/687
19/0185

H 8124-5 J

8326-5 J H 03 K 19/094
7827-5 J 17/687
8941-5 J 19/00

B
F
D

1 0 1

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 出力バッファ回路

⑯ 特 願 平1-321892

⑰ 出 願 平1(1989)12月12日

⑱ 発 明 者 浦 本 紳 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 発 明 者 吉 本 雅 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

出力端子をブルアップするためのブルアップトランジスタと、出力端子をブルダウンするためのブルダウントランジスタと、前記ブルアップトランジスタのソース・ドレイン間に設けられた容量と、前記ブルダウントランジスタのソース・ドレイン間に設けられた容量とを備えたことを特徴とする出力バッファ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は出力バッファ回路に関し、特に、MOS集積回路に用いられる出力バッファ回路に関するものである。

(従来の技術)

第3図は従来の出力バッファ回路を示す回路図である。同図において、1aはブルアップトランジスタ、1bはブルダウントランジスタ、2は電

源端子、3は接地端子、4はデータ入力端子、5は出力端子、6は出力バッファ回路を示す。また、7は外部で接続されている負荷回路を示しており、負荷容量8および負荷抵抗9から構成されている。データ入力端子4はブルアップトランジスタ1aおよびブルダウントランジスタ1bのゲートに接続され、出力端子5はブルアップトランジスタ1aおよびブルダウントランジスタ1bのドレインに接続されている。ブルアップトランジスタ1aのソースは電源端子2に、ブルダウントランジスタ1bのソースは接地端子3に接続されている。

出力バッファ回路6と負荷回路7は出力端子5を介して接続されており、データ入力端子4の論理レベルに応じて出力バッファ回路6が負荷回路7を駆動する。すなわち、データ入力端子4の論理レベルが「L」の場合にはブルアップトランジスタ1aがオンすることにより、出力端子5の論理レベルは「H」となり、負荷容量8を充電する。逆にデータ入力端子4の論理レベルが「H」の場合にはブルダウントランジスタ1bがオンするこ

特開平3-183211 (2)

とにより、出力端子5の論理レベルは「L」となり、負荷容量8を放電する。

(発明が解決しようとする課題)

従来のMOS集積回路に用いられる出力バッファ回路は以上のように構成されていたので、寄生するインダクタンスによって、出力の論理レベルが変化する度にスイッチング雑音が発生するという問題があった。

第4図は、第3図に示した出力バッファ回路の寄生インダクタンスを明示した等価回路図である。同図において、10aはプルアップトランジスタ1aと電源端子2との間にある寄生インダクタンスであり、10bはプルダウントランジスタ1bと接地端子3との間の寄生インダクタンスである。また、10cはプルアップトランジスタ1aおよびプルダウントランジスタ1bのドレイン端子から出力端子5までの寄生インダクタンスと、出力端子5から負荷回路7までの配線に存在する寄生インダクタンスとの和を示している。

出力の論理レベルが変化する場合には必ず電流

変化が発生する。この電流変化により寄生インダクタンスに電圧が誘起する。この誘起電圧の大きさは電流の変化率に比例する。集積回路の動作速度は年々高速化しており、スイッチング時の電流変化率も増加しているため、何の対策も施さない場合、この寄生インダクタンスへの誘起電圧も増大する。

この誘起電圧は、「スイッチング雑音」として集積回路の動作に様々な影響を与える。特に、この起電力によって集積回路内の接地電位が接地端子3の電位から変化してしまう「グラウンドバウンス」と呼ばれる現象は、回路動作に悪影響を与え、回路の性能劣化や時に誤動作を引き起こすこともある。例えば、出力バッファがスイッチングする場合に、他の出力バッファの出力が駆動している外部の素子のしきい値を(本来ならば越えるべきでないのに)グラウンドバウンスのために越えてしまったり、集積回路内の入力バッファのしきい値をも変動させるために、負のグラウンドバウンスが発生した場合に、低レベルの信号よりも入力バッ

ファのしきい値の方が低くなってしまおうというようなことが発生する。

このように従来の出力バッファ回路では、スイッチング時に急峻な電流変化に起因するスイッチング雑音による回路動作への悪影響が生じ、最悪の場合には回路の誤動作を招くおそれがあった。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、急峻な電流変化を緩和し、スイッチング雑音を低減することのできる出力バッファ回路を得ることにある。

(課題を解決するための手段)

このような目的を達成するために本発明は、プルアップトランジスタおよびプルダウントランジスタのソース・ドレイン間に容量を設けたものである。

(作用)

本発明による出力バッファ回路においては、急峻な電流変化が緩和され、グラウンドバウンスのようなスイッチング雑音を低減する。

(実施例)

以下、本発明の一実施例を図について説明する。

第1図は本発明による出力バッファ回路の一実施例を示す回路図である。同図において、1aはプルアップトランジスタ、1bはプルダウントランジスタ、2は電源端子、3は接地端子、4はデータ入力端子、5は出力端子、6は出力バッファ回路を示す。また、7は外部で接続されている負荷回路を示しており、負荷容量8および負荷抵抗9から成る。11a、11bは第1および第2の容量である。

データ入力端子4はプルアップトランジスタ1aおよびプルダウントランジスタ1bのゲートに接続され、出力端子5はプルアップトランジスタ1aおよびプルダウントランジスタ1bのドレインに接続されている。プルアップトランジスタ1aのソースは電源端子2に、プルダウントランジスタ1bのソースは接地端子3に接続されている。以下、その動作について説明する。

出力バッファ回路6と負荷回路7は出力端子5を介して接続されており、データ入力端子4の論

特開平3-183211 (3)

理レベルに応じて出力バッファ回路6が負荷回路7を駆動する。すなわち、データ入力端子4の論理レベルが「L」の場合にはプルアップトランジスタ1aがオンすることにより、出力端子5の論理レベルは「H」となり、負荷容量8を充電する。逆にデータ入力端子4の論理レベルが「H」の場合にはプルダウントランジスタ1bがオンすることにより、出力端子5の論理レベルは「L」となり、負荷容量8を放電する。以上の動作については第3図に示した従来の出力バッファ回路と同様である。

ここで出力の論理レベルが変動する場合を考える。この場合には、従来の出力バッファ回路の動作上の問題のところで述べたように、電流変化が生じてスイッチング雑音が発生しようとするが、第1の容量11aおよび第2の容量11bがこの電流変化を緩和し、スイッチング雑音を抑制する働きがある。例えば、出力の論理レベルが「L」から「H」に変化する場合を考える。この場合にはプルダウントランジスタ1bが遮断されるため

電流変化が生じるが、この変化が第2の容量11bに充電電流が流れることにより緩和される。また、出力の論理レベルが「H」から「L」に変化する場合にはプルアップトランジスタ1aが遮断されるために発生した電流変化が第1の容量11aを流れる充電電流により緩和される。

第2図は本実施例に用いる容量の構造を示す概略断面図である。12aおよび12bは第1および第2の電極、13は誘電体をそれぞれ示している。第1および第2の電極12aおよび12bは半導体内の配線層を用いて構成することが望ましい。その理由は、電極に配線層を用いた構成にすることにより、他の構成たとえば電極に拡散層を使用した場合に比べてラッチアップが発生しにくくなることである。

(発明の効果)

以上説明したように本発明は、プルアップトランジスタおよびプルダウントランジスタのソース・ドレイン間に容量を設けたことにより、回路における急峻な電流変化を緩和することができ、グ

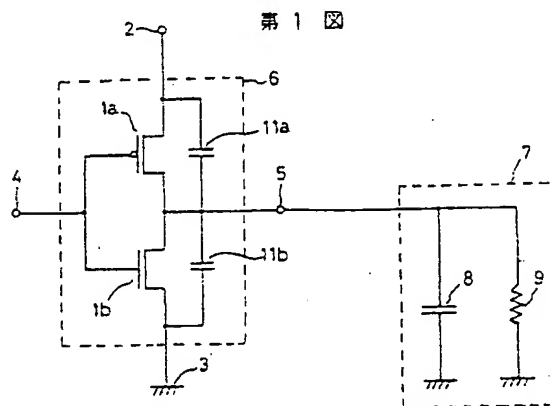
ランドバウンスのようなスイッチング雑音を低減することができ、スイッチング雑音に起因する回路の誤動作あるいは性能劣化を回避することができる。また、本発明による出力バッファ回路において用いる容量を構成する複数の電極に半導体内の配線層を用いて構成すれば、容量の付加によるラッチアップの発生を抑制することができる。

4. 図面の簡単な説明

第1図は本発明による出力バッファ回路の一実施例を示す回路図、第2図は第1図の回路に用いる容量の構造を示す概略断面図、第3図は従来の出力バッファ回路を示す回路図、第4図は第3図の従来の出力バッファ回路における寄生インダクタンスを明示した等価回路図である。

1a…プルアップトランジスタ、1b…プルダウントランジスタ、2…電源端子、3…接地端子、4…データ入力端子、5…出力端子、6…出力バッファ回路、7…負荷回路、8…負荷容量、9…負荷抵抗、11a、11b…容量。

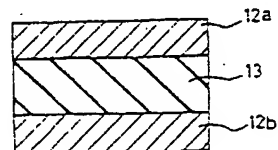
代理人 大岩増雄



1a: プルアップトランジスタ
1b: プルダウントランジスタ
2: 電源端子
3: 接地端子
4: データ入力端子
5: 出力端子

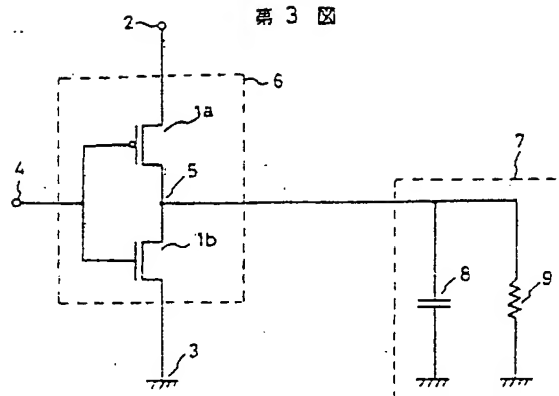
6: 出力バッファ回路
7: 負荷回路
8: 負荷容量
9: 負荷抵抗
11a, 11b: 容量

第2図



特開平3-183211 (4)

第 3 図



第 4 図

